

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

012648531 **Image available**

WPI Acc No: 99-454636/199938

XRAM Acc No: C99-133591

XRPX Acc No: N99-340668

**Catalyst removal method used for manufacture of thin film transistor -
involves heat processing to carry out gettering of catalyst element in
phosphorus addition area**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 11191628 A		19990713	JP 98152305	A	19980516	H01L-029/786	199938 B

Priority Applications (No Type Date): JP 97308043 A 19971021

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 11191628 A			24			

Abstract (Basic): JP 11191628 A

NOVELTY - The horizontal growth area (107) is formed using catalyst that promotes silicon crystallization on an amorphous silicon film.

Gettering of the catalyst is carried out in phosphorus addition area (108) by heat processing. Gate insulating film (113) is formed to cover the barrier layers (110-112).

DETAILED DESCRIPTION - Heat oxidation is carried out after formation of the gate insulating film.

USE - For removal of catalyst used in manufacture of TFT used in electro-optical apparatus and electronic device.

ADVANTAGE - Enables effective removal of catalyst. Prevents abnormal growth of metallic oxide within barrier layer by protecting it by insulating film. Improves electrical property of TFT.

DESCRIPTION OF DRAWING - The figure shows formation process of TFT. (107) Horizontal growth area; (108) Phosphorus addition area; (110-112) Barrier layers; (113) Gate insulating film.

Dwg.1/20

Title Terms: CATALYST; REMOVE; METHOD; MANUFACTURE; THIN; FILM; TRANSISTOR;

HEAT; PROCESS; CARRY; GETTER; CATALYST; ELEMENT; PHOSPHORUS; ADD;

AREA

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-029/786

**International Patent Class (Additional): H01L-021/20; H01L-021/322;
H01L-021/336**

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

06250051 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: **11-191628** [JP 11191628 A]
PUBLISHED: July 13, 1999 (19990713)
INVENTOR(s): YAMAZAKI SHUNPEI
 OTANI HISASHI
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD
APPL. NO.: 10-152305 [JP 98152305]
FILED: May 16, 1998 (19980516)
PRIORITY: 09308043 [JP 979308043], JP (Japan), October 21, 1997
 (19971021)
INTL CLASS: H01L-029/786; H01L-021/336; H01L-021/20; H01L-021/322

ABSTRACT

PROBLEM TO BE SOLVED: To provide a high-performance semiconductor device using a TFT by a method, wherein a catalyst element utilized for the crystallization of silicon is removed effectively, and the thin film transistor(TFT) having superior electrical characteristics is made realizable.

SOLUTION: A lateral growth region 107 is formed which utilizes a catalyst element for accelerating the crystallization of silicon, and thereafter the catalyst element is gettered to phosphorus-added regions 108 through a heating treatment. After that, a gate insulating film 113 is formed in such a way as to cover formed active layers 110 to 112, and thermal oxidizing process is performed in that state. As a result, while the abnormal growth of a metallic oxide film on the surfaces of the active layers is prevented, the interfacial characteristics between the active layers and the film 113 can be made improved.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-191628

(43) 公開日 平成11年(1999) 7月13日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 2 7 G

21/336

21/20

21/20

21/322

R

21/322

29/78

6 1 7 V

6 2 7 F

審査請求 未請求 請求項の数8 F D (全 24 頁)

(21) 出願番号

特願平10-152305

(22) 出願日

平成10年(1998) 5月16日

(31) 優先権主張番号

特願平9-308043

(32) 優先日

平 9 (1997) 10月21日

(33) 優先権主張国

日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

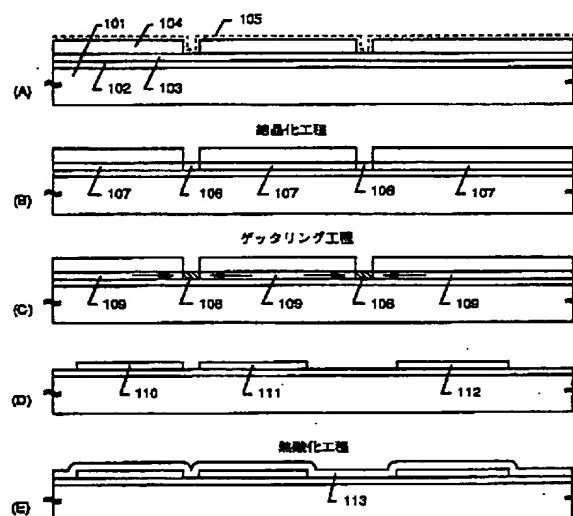
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】 結晶化に利用した触媒元素を効果的に除去し、優れた電気特性を有するTFTを実現させ、そのTFTでもって高性能な半導体装置を提供する。

【解決手段】 珪素の結晶化を助長する触媒元素を利用して横成長領域107を形成した後、加熱処理によりリン添加領域108に触媒元素をゲッタリングする。その後、形成した活性層110～112を覆ってゲイト絶縁膜113を形成し、その状態で熱酸化工程を行う。こうすることで活性層表面における金属酸化物の異常成長を防ぎつつ、活性層／ゲイト絶縁膜の界面特性を改善できる。



101 基板	106 ニッケル添加領域
102 絶縁性珪素膜	107 横成長領域
103 非晶質珪素膜	108 リン添加領域
104 マスク絶縁膜	109 横成長領域
105 ニッケル含有層	110～112 活性層
	113 ゲイト絶縁膜

【特許請求の範囲】

【請求項1】非晶質半導体膜上の一部の領域または全面に対して当該半導体膜の結晶化を助長する触媒元素を添加する工程と、

第1の加熱処理を行い、前記非晶質半導体膜の一部の領域または全面を結晶性半導体膜に変成させる工程と、前記結晶性半導体膜中に15族から選ばれた元素を選択的に添加する工程と、

第2の加熱処理を行い、前記15族から選ばれた元素が添加された領域に、当該領域に隣接する領域から前記触媒元素をゲッタリングさせる工程と、

前記結晶性半導体膜をパターンニングして活性層を形成する工程と、

前記活性層を覆って絶縁膜を形成する工程と、

前記絶縁膜の形成後に酸化性雰囲気中で加熱処理を行う工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項2】非晶質半導体膜上にマスク絶縁膜を選択的に形成する工程と、

前記マスク絶縁膜を用いて前記非晶質半導体膜に対して当該半導体膜の結晶化を助長する触媒元素を選択的に添加する工程と、

第1の加熱処理を行い、前記非晶質半導体膜の少なくとも一部を結晶性半導体膜に変成させる工程と、

前記結晶性半導体膜中に15族から選ばれた元素を選択的に添加する工程と、

第2の加熱処理を行い、前記15族から選ばれた元素が添加された領域に、当該領域に隣接する領域から前記触媒元素をゲッタリングさせる工程と、

前記結晶性半導体膜をパターンニングして活性層を形成する工程と、

前記活性層を覆ってゲイト絶縁膜を形成する工程と、

前記ゲイト絶縁膜の形成後に酸化性雰囲気中で加熱処理を行う工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項3】非晶質半導体上にマスク絶縁膜を選択的に形成する工程と、

前記マスク絶縁膜を用いて前記非晶質半導体膜に対して当該半導体膜の結晶化を助長する触媒元素を選択的に添加する工程と、

第1の加熱処理を行い、前記非晶質半導体膜の少なくとも一部を結晶性半導体膜に変成させる工程と、

前記マスク絶縁膜をそのまま利用して前記結晶性半導体膜中に15族から選ばれた元素を選択的に添加する工程と、

第2の加熱処理を行い、前記15族から選ばれた元素が添加された領域に、当該領域に隣接する領域から前記触媒元素をゲッタリングさせる工程と、

前記結晶性半導体膜をパターンニングして活性層を形成する工程と、

前記活性層を覆ってゲイト絶縁膜を形成する工程と、

前記ゲイト絶縁膜の形成後に酸化性雰囲気中で加熱処理を行う工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項4】請求項2または請求項3において、前記触媒元素が添加された領域と前記15族から選ばれた元素が添加された領域とは同一の領域であることを特徴とする半導体装置の作製方法。

【請求項5】非晶質半導体膜に対して当該半導体膜の結晶化を助長する触媒元素を添加する工程と、

第1の加熱処理を行い、前記非晶質半導体膜を結晶性半導体膜に変成させる工程と、

前記結晶性半導体膜中に15族から選ばれた元素を選択的に添加する工程と、

第2の加熱処理を行い、前記15族から選ばれた元素が添加された領域に、当該領域に隣接する領域から前記触媒元素をゲッタリングさせる工程と、

前記結晶性半導体膜をパターンニングして活性層を形成する工程と、

前記活性層を覆って絶縁膜を形成する工程と、

前記絶縁膜の形成後に酸化性雰囲気中で加熱処理を行う工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項6】請求項1乃至請求項5において、前記触媒元素としてNi、Co、Fe、Pd、Pt、Cu、Au、Ge、Pbから選ばれた一種または複数種の元素を用いることを特徴とする半導体装置の作製方法。

【請求項7】請求項1乃至請求項6において、前記15族から選ばれた元素としてリン、砒素またはアンチモンを用いることを特徴とする半導体装置の作製方法。

【請求項8】請求項1乃至請求項7において、前記15族から選ばれた元素が添加された領域には $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で当該元素が添加されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は半導体薄膜を利用した半導体装置の作製方法に関する技術であり、特に結晶性珪素膜を利用した薄膜トランジスタ（Thin Film Transistor：TFT）で構成する半導体装置の作製方法に関する。

【0002】なお、本明細書において、半導体装置とは半導体を利用して機能する装置全般を指すものであり、TFTの如き単体素子のみならず、電気光学装置や半導体回路及びそれを搭載した電子機器をも半導体装置に含む。

【0003】

【従来の技術】近年、アクティブマトリクス型液晶表示装置の様な電気光学装置に用いられるTFTの開発が活発に進められている。

【0004】アクティブマトリクス型液晶表示装置は、同一基板上に画素マトリクス回路とドライバー回路とを設けたモノリシック型表示装置である。また、さらにγ補正回路、メモリ回路、クロック発生回路等のロジック回路を内蔵したシステムオンパネルの開発も進められている。

【0005】この様なドライバー回路やロジック回路は高速動作を行う必要があるため、活性層として非晶質珪素膜（アモルファスシリコン膜）を用いることは不适当である。そのため、現状では結晶性珪素膜（ポリシリコン膜）を活性層としたTFTが主流になりつつある。

【0006】本発明者らは、ガラス基板上に結晶性珪素膜を得るための技術として特開平8-78329号公報記載の技術を開示している。同公報記載の技術は、非晶質珪素膜に対して結晶化を助長する触媒元素を選択的に添加し、加熱処理を行うことで添加領域を起点として広がる結晶性珪素膜を形成するものである。

【0007】この技術は触媒元素の作用により非晶質珪素膜の結晶化温度を50～100℃も引き下げることが可能であり、結晶化に要する時間も1/5～1/10にまで低減することができる。また、珪素膜の結晶化は基板面とほぼ平行に横方向へと進行するため、本発明者らはこの結晶化領域を横成長領域と呼んでいる。

【0008】横成長領域は直接的には触媒元素を添加していないので、直接的に添加した場合と比べて膜中に残留する触媒元素が少ないという特徴がある。例えば、直接的に添加した場合には 10^{19} オーダーで触媒元素が含有されるが、横成長領域の場合には 10^{18} オーダーと1桁少ない。

【0009】上記結晶化技術によって良好な結晶性を有する珪素膜を比較的低温で得ることができるようになった反面、膜中に存在する触媒元素を含有しているので、その導入量の制御が微妙であり、再現性や安定性（得られるデバイスの電気的特性の安定性）に問題が生じていた。

【0010】また、膜中に残留する触媒元素の影響により、得られる半導体装置の特性の経時変化や、TFTの特性値であるOFF値（オフ電流）のバラツキが大きいといった問題も生じていた。

【0011】

【発明が解決しようとする課題】本願発明では上述の様な膜中に残存する触媒元素を除去し、優れた電気特性を有するTFTを実現させ、そのTFTでもって高性能な半導体装置を提供することを課題とする。

【0012】

【課題を解決するための手段】本明細書で開示する発明の構成は、非晶質半導体膜上の一部の領域または全面に対して当該半導体膜の結晶化を助長する触媒元素を添加する工程と、第1の加熱処理を行い、前記非晶質半導体膜の一部の領域または全面を結晶性半導体膜に変成させ

る工程と、前記結晶性半導体膜中に15族から選ばれた元素を選択的に添加する工程と、第2の加熱処理を行い、前記15族から選ばれた元素が添加された領域に、当該領域に隣接する領域から前記触媒元素をゲッタリングさせる工程と、前記結晶性半導体膜をパターンニングして活性層を形成する工程と、前記活性層を覆って絶縁膜を形成する工程と、前記絶縁膜の形成後に酸化性雰囲気中で加熱処理を行う工程と、を含むことを特徴とする。

【0013】また、他の発明の構成は、非晶質半導体上にマスク絶縁膜を選択的に形成する工程と、前記マスク絶縁膜を用いて前記非晶質半導体膜に対して当該半導体膜の結晶化を助長する触媒元素を選択的に添加する工程と、第1の加熱処理を行い、前記非晶質半導体膜の少なくとも一部を結晶性半導体膜に変成させる工程と、前記結晶性半導体膜中に15族から選ばれた元素を選択的に添加する工程と、第2の加熱処理を行い、前記15族から選ばれた元素が添加された領域に、当該領域に隣接する領域から前記触媒元素をゲッタリングさせる工程と、前記結晶性半導体膜をパターンニングして活性層を形成する工程と、前記活性層を覆ってゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜の形成後に酸化性雰囲気中で加熱処理を行う工程と、を含むことを特徴とする。

【0014】また、他の発明の構成は、非晶質半導体上にマスク絶縁膜を選択的に形成する工程と、前記マスク絶縁膜を用いて前記非晶質半導体膜に対して当該半導体膜の結晶化を助長する触媒元素を選択的に添加する工程と、第1の加熱処理を行い、前記非晶質半導体膜の少なくとも一部を結晶性半導体膜に変成させる工程と、前記マスク絶縁膜をそのまま利用して前記結晶性半導体膜中に15族から選ばれた元素を選択的に添加する工程と、第2の加熱処理を行い、前記15族から選ばれた元素が添加された領域に、当該領域に隣接する領域から前記触媒元素をゲッタリングさせる工程と、前記結晶性半導体膜をパターンニングして活性層を形成する工程と、前記活性層を覆ってゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜の形成後に酸化性雰囲気中で加熱処理を行う工程と、を含むことを特徴とする。

【0015】また、他の発明の構成は、非晶質半導体膜に対して当該半導体膜の結晶化を助長する触媒元素を添加する工程と、第1の加熱処理を行い、前記非晶質半導体膜を結晶性半導体膜に変成させる工程と、前記結晶性半導体膜中に15族から選ばれた元素を選択的に添加する工程と、第2の加熱処理を行い、前記15族から選ばれた元素が添加された領域に、当該領域に隣接する領域から前記触媒元素をゲッタリングさせる工程と、前記結晶性半導体膜をパターンニングして活性層を形成する工程と、前記活性層を覆って絶縁膜を形成する工程と、前記絶縁膜の形成後に酸化性雰囲気中で加熱処理を行う工程と、を含むことを特徴とする。

【0016】

【発明の実施の形態】以上の構成からなる本願発明の実施形態について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0017】

【実施例】【実施例1】本実施例では、同一基板上に形成したNTFTとPTFTとを組み合わせる駆動回路、画素マトリクス回路及びロジック回路とを構成し、アクティブマトリクス型の電気光学装置を作製する例を示す。説明には図1～3を用いる。

【0018】まず、耐熱性の高い基板（本実施例では石英基板）101を用意し、その上に下地膜として300nm厚の絶縁性珪素膜102を形成する。絶縁性珪素膜とは、酸化珪素膜（ SiO_x ）、窒化珪素膜（ Si_3N_y ）、酸化窒化珪素膜（ SiO_xN_y ）のいずれか若しくはそれらの積層膜である。

【0019】また、石英基板の代わりにシリコン基板を用いても良い。その場合、下地膜は熱酸化膜としても良い。

【0020】また、歪点が750℃以上であればガラス基板（代表的には結晶化ガラス、ガラスセラミクス等と呼ばれる材料）を利用することもできる。その場合には下地膜を減圧熱CVD法で設けて基板全面を絶縁性珪素膜で囲む様にするとガラス基板からの成分物質の流出を抑えられて効果的である。また、基板全面を非晶質珪素膜で覆い、それを完全に熱酸化膜に変成させる手段もとれる。

【0021】こうして絶縁表面を有する基板が準備できたら、減圧熱CVD法により非晶質珪素膜103を形成する。非晶質珪素膜103の膜厚は20～100nm（好ましくは40～75nm）とすれば良い。本実施例では成膜膜厚を65nmとする。なお、減圧熱CVD法で形成した非晶質珪素膜と同等の膜質が得られるのであればプラズマCVD法を用いても良い。

【0022】また、非晶質珪素膜の代わりに非晶質珪素膜中にゲルマニウムを含有させた非晶質半導体膜（ $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）で表される）を用いても良い。

【0023】次に、非晶質珪素膜103上に120nm厚の酸化珪素膜でなるマスク絶縁膜104を形成する。マスク絶縁膜104にはパターニングによって開口部を設けておく。この開口部が後に触媒元素の添加領域となる。

【0024】次に、特開平8-78329号公報記載の技術に従って結晶化を助長する触媒元素の添加工程を行う。本実施例では触媒元素としてニッケルを選択し、重量換算で10ppmのニッケルを含むニッケル酢酸塩をエタノール溶液に溶かしたものをスピンコート法により塗布する。

【0025】勿論、ニッケル以外にもコバルト（Co）、鉄（Fe）、パラジウム（Pd）、白金（Pt）、銅（Cu）、金（Au）、ゲルマニウム（Ge）、鉛（Pb）から選ばれた一種または複数種を用い

ることもできる。

【0026】こうして、マスク絶縁膜104の表面にはニッケル含有層105が形成される。この時、ニッケルはマスク絶縁膜104に設けられた開口部において非晶質珪素膜103を接する様な状態となる。

【0027】こうして図1（A）の状態が得られたら、450℃1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気において500～700℃（代表的には550～650℃、好ましくは570℃）の温度で4～24時間の加熱処理を加えて非晶質珪素膜103の結晶化を行う。本実施例では570℃14時間の加熱処理を行い、結晶化を進行させる。（図1（B））

【0028】この時、非晶質珪素膜103の結晶化はニッケルを添加した領域（ニッケル添加領域）106で発生した核から優先的に進行し、基板101の基板面に対してほぼ平行に成長した結晶領域（横成長領域）107が形成される。横成長領域107は比較的揃った状態で個々の結晶粒が集合しているため、全体的な結晶性に優れるという利点がある。

【0029】結晶化工程が終了したら、そのままマスク絶縁膜104をマスクとして活用してP（リン）を添加する。リンは添加領域に $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度（ニッケルの約10倍）で含まれる様に添加することが好ましい。

【0030】なお、このリンは珪素膜を通過してリン添加領域の下地（基板も含む）にも打ち込まれる。従って、下地膜または基板中の特定の領域のみに高濃度のリンが含まれる。しかし、この様なリンがTFT特性に悪影響を与えることはない。

【0031】本願発明では横成長領域107に残存するニッケルを除去するためにリンのゲッタリング能力を利用する。なお、リン以外にも砒素、アンチモン等の他の15族元素を用いることもできるが、ゲッタリング能力の高いリンを用いることが望ましい。

【0032】本実施例ではイオンインプランテーション法又はプラズマドーピング法等のイオン打ち込み法、気相からの拡散を用いる方法、固相からの拡散を用いる方法のいずれかの手段によりリン添加領域108を形成する。また、リンの添加工程でマスクとして活用するマスク絶縁膜104は、再度パターニングして新たな開口部を設けても良いが、マスク絶縁膜104をそのまま用いることでスループットの向上を図ることもできる。

【0033】そして、リン添加領域108を形成した後、500～800℃（好ましくは600～650℃）で2～24時間（好ましくは8～15時間）の加熱処理を行い、横成長領域中のニッケルをリン添加領域108へと移動させる（移動方向は矢印で示す。）こうしてニッケルが $5 \times 10^{17} \text{ atoms/cm}^3$ 以下（好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下）にまで低減された横成長領域109が得られる。

（図1（C））

【0034】なお、現状ではSIMS（質量二次イオン分析）による検出下限が 2×10^{17} atoms/cm³ 程度であるため、それ以下の濃度を調べることはできない。しかしながら、本実施例に示すゲッターリング工程を行えば、少なくとも $1 \times 10^{14} \sim 1 \times 10^{15}$ atoms/cm³ 程度にまで低減されるものと推定される。

【0035】こうしてニッケルのゲッターリング工程が終了したら、マスク絶縁膜104を除去した後、横成長領域109のみを利用して活性層110～112を形成する。この時、ニッケルをゲッターリングした領域108は完全に除去してしまうことが望ましい。こうすることでニッケルが再び活性層内へと逆拡散することを防ぐことができる。

【0036】次に、活性層110～112を覆う様にプラズマCVD法または減圧熱CVD法により絶縁性珪素膜でなるゲイト絶縁膜113を形成する。このゲイト絶縁膜113の膜厚は50～150 nmとすれば良い。

【0037】そして、ゲイト絶縁膜113を形成した後、酸化性雰囲気において 800～1100℃（好ましくは 950～1050℃）で加熱処理を行い、活性層110～112とゲイト絶縁膜113の界面に熱酸化膜（図示せず）を形成する。

【0038】なお、酸化性雰囲気はドライO₂ 雰囲気、ウェットO₂ 雰囲気又はハロゲン元素（代表的には塩化水素）を含む雰囲気とすれば良い。ハロゲン元素を含ませた場合、活性層上の絶縁膜が薄ければハロゲン元素によるニッケルのゲッターリング効果も期待できる。

【0039】また、熱酸化工程の温度と時間はどれだけの熱酸化膜を形成するかとスループットを鑑みて最適な条件を決定すれば良い。本実施例では50nmの熱酸化膜を形成する条件（950℃30min）とする。また、同時に25nmの活性層が減り、最終的に活性層の膜厚は40nmとなる。（図2（A））

【0040】なお、この様にゲイト絶縁膜を形成した後で熱酸化工程を行うという構成は本願発明において最も重要である。なぜならば、活性層110～112をそのまま酸化すると活性層が切れるという問題が生じるからである。その事について以下に説明する。

【0041】活性層中に残存するニッケルは場合によって偏析することがあり、その様な場所ではニッケルシリサイドが形成される。酸素が十分に供給される状態ではニッケルシリサイドはシリコンよりも酸化速度が速いため、酸化性雰囲気における加熱処理では選択的に酸化されることになる。

【0042】即ち、ニッケルシリサイドが優先的に酸化されてSiO_xで示される酸化物を形成し、そこから離脱したニッケルが再びシリコンと反応してニッケルシリサイドを形成する。この繰り返しによりニッケルシリサイドを先頭とする酸化物が膜中を異常成長していくと考えられる。

【0043】この様な理由からニッケルを触媒として結晶化させた活性層を酸化性雰囲気に触れた状態で酸化すると上述の酸化物の異常成長が起こり、その部分で活性層が分断されてしまう様なことが起こりうるのである。

【0044】ここで図7（A）、（B）に示す写真は、SiO_xで示される酸化物が異常成長した様子を示すSEM写真である。図7（A）はTFTの活性層を1万倍に拡大して観察した写真であり、図7（B）は酸化物付近に注目して3万倍に拡大した写真である。図7（B）ではパターン形成された活性層が酸化物によって殆ど分断されている様子が確認できる。

【0045】本発明者らは、この様な現象は活性層が酸化性雰囲気に触れているから起こるのだと考え、その様な状況を作らない様にゲイト絶縁膜を形成してから熱酸化工程を行うという構成を採用している。即ち、この様な構成とすることで前述の様な酸化物の異常成長を防ぐことができたのである。

【0046】本発明者らによれば、酸化性雰囲気に触れている状態での上記酸化物の異常成長は、ニッケルシリサイドと酸素との反応律速で進行すると考えられる。ところが、ブロッキング層（本実施例ではゲイト絶縁膜）を設けることで活性層の酸化速度がブロッキング層を介した酸素の供給律速で決まり、その様な場合にはシリコンとニッケルシリサイドとで反応速度に差が見られないため、酸化物の異常成長が起こらないのではないかと考えられる。

【0047】また、ゲイト絶縁膜を形成してから熱酸化するという構成は、リンの気相中からの拡散を防ぐ意味合いも有している。このリンとはゲッターリング工程に先立って添加されたリン（ここでは下地膜にまで到達して下地膜に含まれるリンを指す）であり、それが熱酸化工程の雰囲気中に拡散して活性層に再添加される（リンのオートドーピングとも呼ばれる）ことを防いでいるのである。

【0048】勿論、本実施例では活性層110～112とゲイト絶縁膜113との界面を熱酸化することで界面準位を大幅に低減し、界面特性を飛躍的に向上させることも兼ねている。また、CVD法で形成されたゲイト絶縁膜113の膜質の向上も図れるし、活性層を薄膜化することで光リーク電流の低減も期待できる。さらに、活性層を構成する結晶性珪素膜の粒内欠陥も低減される。

【0049】以上の様にしてゲイト絶縁膜の形成及び活性層界面の向上を行ったら、導電性を呈する結晶性珪素膜でなるゲイト電極114～116を形成する。本実施例ではN型を呈する不純物（リン）を含む結晶性珪素膜（膜厚は 200～300 nm）を用いる。

【0050】ゲイト電極114～116を形成したら、ゲイト電極114～116をマスクとしてドライエッチング法によりゲイト絶縁膜113をエッチングする。本実施例では酸化珪素膜をエッチングするためにCHF₃

ガスを用いる。

【0051】この工程によりゲート電極（及びゲート配線）の直下のみにゲート絶縁膜が残存する状態となる。勿論、ゲート電極の下に残った部分が実際にゲート絶縁膜として機能する部分である。

【0052】次に、PTFTとなる領域をレジストマスク117で隠し、N型を付与する不純物（本実施例ではリン）をイオンインプランテーション法またはプラズマドーピング法により添加する。この時形成される低濃度不純物領域118、119の一部は後にLDD（Lightly Doped Drain）領域となるので、 $1 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³の濃度でリンを添加しておく。（図2

(B)）

【0053】次に、レジストマスク310を除去した後、NTFTとなる領域をレジストマスク120で隠し、P型を付与する不純物（本実施例ではボロン）をイオンインプランテーション法またはプラズマドーピング法により添加する。この時も、リンの場合と同様に低濃度不純物領域121を形成する。（図2（C））

【0054】こうして図2（C）の状態が得られたら、レジストマスク120を除去した後、エッチバック法を用いてサイドウォール122～124を形成する。本実施例ではサイドウォール122～124を窒化珪素膜を用いて構成する。他にも酸化珪素膜や酸化窒化珪素膜を用いても良い。（図2（D））

【0055】こうしてサイドウォール122～124を形成したら、再びPTFTとなる領域をレジストマスク125で隠し、リンを添加する。この時は先程の添加工程よりもドーズ量を高くする。

【0056】このリンの添加工程によりCMOS回路を構成するNTFTのソース領域126、ドレイン領域127、低濃度不純物領域（LDD領域）128、チャネル形成領域129が画定する。また、画素マトリクス回路を構成するNTFTのソース領域130、ドレイン領域131、低濃度不純物領域（LDD領域）132、チャネル形成領域133が画定する。（図3（A））

【0057】次に、レジストマスク125を除去した後、レジストマスク134でNTFTとなる領域を隠し、ボロンを先程よりも高いドーズ量で添加する。このボロンの添加工程によりCMOS回路を構成するPTFTのソース領域135、ドレイン領域136、低濃度不純物領域（LDD領域）137、チャネル形成領域138が画定する。（図3（B））

【0058】以上の様にして、活性層への不純物の添加工程が終了したら、ファーンズアニール、レーザーアニールまたはランプアニールによって熱処理を行い、添加した不純物の活性化を行う。また、この時、不純物の添加時に活性層が受けた損傷も回復される。

【0059】なお、チャネル形成領域129、133、138は全く不純物元素が添加されず、真性または実質

的に真性な領域である。ここで実質的に真性であるとは、N型又はP型を付与する不純物濃度がチャネル形成領域のスピン密度以下であること、或いは同不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{17}$ atoms/cm³の範囲に収まっていることを指す。

【0060】次に、25nm厚の窒化珪素膜と900nm厚の酸化珪素膜との積層膜からなる第1の層間絶縁膜139を形成する。そして、Ti/Al/Ti（膜厚は順に100/500/100nm）からなる積層膜で構成されるソース電極140～142、ドレイン電極143、144を形成する。

【0061】次に、50nm厚の窒化珪素膜145、20nm厚の酸化珪素膜（図示せず）、1μm厚のポリイミド膜146の積層構造からなる第2の層間絶縁膜を形成する。なお、ポリイミド以外にもアクリル、ポリアミド等の他の有機性樹脂膜を用いることができる。また、この場合の20nm厚の酸化珪素膜はポリイミド膜146をドライエッチングする際のエッチングストッパーとして機能する。

【0062】第2の層間絶縁膜を形成したら、後に補助容量を形成する領域においてポリイミド膜146をエッチングして開口部を設ける。この時、開口部の底部には窒化珪素膜145のみ残すか、窒化珪素膜145と酸化珪素膜（図示せず）を残すかのいずれかの状態とする。

【0063】そして、300nm厚のチタン膜を成膜し、パターンニングによりブラックマスク147を形成する。このブラックマスク147は画素マトリクス回路上において、TFTや配線部など遮光を要する部分に配置される。

【0064】この時、前述の開口部では画素マトリクス回路のドレイン電極144とブラックマスク147とが窒化珪素膜145（又は窒化珪素膜と酸化珪素膜との積層膜）を挟んで近接した状態となる。本実施例ではブラックマスク147を固定電位に保持して、ドレイン電極144を下部電極、ブラックマスク147を上部電極とする補助容量148を構成する。この場合、誘電体が非常に薄く比誘電率が高いため、大きな容量を確保することが可能である。

【0065】こうしてブラックマスク147及び補助容量148を形成したら、1μm厚のポリイミド膜を形成して第3の層間絶縁膜149とする。そして、コンタクトホールを形成して透明導電膜（代表的にはITO）で構成される画素電極150を120nmの厚さに形成する。

【0066】最後に、水素雰囲気中で350℃2時間程度の加熱処理を行い、素子全体の水素化を行う。こうして図3（C）に示す様なアクティブマトリクス基板が完成する。後は、公知のセル組み工程によって対向基板との間に液晶層を挟持すればアクティブマトリクス型の液晶表示装置（透過型）が完成する。

【0067】なお、アクティブマトリクス基板の構造は本実施例に限定されず、あらゆる構造とすることができ

る。即ち、本願発明の構成要件を満たしうる構造であれば、TFT構造や回路配置等は実施者が自由に設計することができる。

【0068】例えば、本実施例では画素電極として透明導電膜を用いているが、これをアルミニウム合金膜など反射性の高い材料に変えれば容易に反射型のアクティブマトリクス型液晶表示装置を実現することができる。また、透過型ではアクティブマトリクス基板として透光性基板を用いる必要があるが、反射型の場合には透光性基板を用いる必要はなく、遮光性の基板を用いても構わない。

【0069】〔活性層の結晶構造に関する知見〕上記作製工程に従って形成した活性層は、微視的に見れば複数の棒状または偏平棒状結晶が互いに概略平行に特定方向への規則性をもって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認することができる。

【0070】ここで、棒状または偏平棒状結晶同士の結晶粒界を800万倍に拡大したHR-TEM写真を図9（A）に示す。なお、本明細書中において結晶粒界とは、棒状または偏平棒状結晶が接した境界に形成される粒界を指すものと定義する。従って、例えば横成長領域がぶつかりあって形成される様なマクロな意味あいでの粒界とは区別して考える。

【0071】ところで前述のHR-TEM（高分解能透過型電子顕微鏡法）とは、試料に対して垂直に電子線を照射し、透過電子や弾性散乱電子の干渉を利用して原子・分子配列を評価する手法である。

【0072】HR-TEMでは結晶格子の配列状態を格子縞として観察することが可能である。従って、結晶粒界を観察することで、結晶粒界における原子同士の結合状態を推測することができる。なお、格子縞は白と黒の縞模様となって現れるが、コントラストの相違であって原子の位置を示すものではない。

【0073】図9（A）は本願発明で得られる結晶性珪素膜（横成長領域）の代表的なTEM写真であり、異なる二つの結晶粒が接して結晶粒界を形成している。この時、二つの結晶粒は結晶軸に多少のずれが含まれているものの互いに概略{110}配向であった。

【0074】なお、後述するが複数の結晶粒を調べた結果、殆ど全てが概略{110}配向であることをX線回折や電子線回折によって確認している。また、多数観察した中には(011)面や(200)面などもあるはずだが、それら等価な面はまとめて{110}面と表すことにする。

【0075】ところで、図9（A）に図示した様に、面内には{111}面に対応する格子縞が観察されている。なお、{111}面に対応する格子縞とは、その格子縞に沿って結晶粒を切断した場合に断面に{111}面が現れる様な格子縞を指している。格子縞がどの様な

面に対応するかは、簡易的に格子縞と格子縞の間隔から確認できる。

【0076】なお、図9（A）において格子縞の見え方に差が見られるのは、結晶粒の微妙な傾きの違いによるものである。即ち、片方の結晶粒の結晶面に垂直に電子線が照射される様に設定すると、他方の結晶粒は僅かに斜めから電子線が照射される状態になるため、格子縞の見え方が変わるのである。

【0077】ここで{111}面に対応する格子縞に注目する。図9（A）において白く見える結晶粒（上側）の{111}面に対応する格子縞は、黒く見える結晶粒（下側）の{111}面に対応する格子縞と約70°の角度で交わっている。

【0078】このような結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。換言すれば、結晶粒界において結晶格子に連続性があるとも言える。

【0079】なお、参考までに従来の高温ポリシリコン膜のHR-TEM写真を図9（B）に示す。図9（B）の場合、後述するが結晶面に規則性がなく、{110}面が主体となる配向ではなかった。ただし、ここでは図9（A）と比較するために{111}面に対応する格子縞が現れる様な結晶粒を観察した。

【0080】図9（B）を詳細に観察して見ると、図中において矢印で示す様に、結晶粒界では格子縞が途切れた部分が多数確認できる。このような部分では未結合手（結晶欠陥と呼べる）が存在することになる、トラップ準位としてキャリアの移動を阻害する可能性が高い。

【0081】ただし、確かに本願発明の結晶性珪素膜にも図9（B）に示した様な未結合手は存在する。これは本願発明の結晶性珪素膜が多結晶である以上しかたのないことである。しかしながら、本願発明の結晶性珪素膜を広範囲に渡って詳細にTEM観察した結果、その様な未結合手は殆ど存在しないことが判明している。

【0082】本出願人が調べた限りでは、全体の90%以上（典型的には95%以上）の結晶粒界に結晶格子の連続性が見られ、図9（B）に示した様な未結合手は殆ど見つけることができなかった。この事からも本願発明の結晶性珪素膜は従来の高温ポリシリコンとは明らかに異なる半導体膜であると言えよう。

【0083】次に、本願発明の結晶性珪素膜を電子線回折によって調べた結果を図10に示す。ここでは、図10（A）に本願発明の結晶性珪素膜の代表的な電子線回折パターンを示し、図10（B）に参考として従来の高温ポリシリコン膜の代表的な電子線回折パターンを示す。

【0084】なお、図10（A）、（B）は電子線の照

射スポットの径を約 $1.5\mu\text{m}$ として測定を行っているため、格子縞レベルに比べて十分マクロな領域の情報を拾っていると考えてよい。

【0085】図10(A)の場合、 $\langle 110 \rangle$ 入射に対応する回折斑点が比較的きれいに現れており、結晶軸が $\langle 110 \rangle$ 軸である(結晶面が $\{110\}$ 面である)ことが確認できる。

【0086】なお、各斑点は同心円状の広がりを僅かにもっているが、これは結晶軸まわりにある程度の回転角の分布をもつためと予想される。その広がりの程度はパターンから見積もっても 5° 以内である。

【0087】一方、図10(B)に示す電子線回折パターンの場合、回折斑点には明瞭な規則性が見られず、ほぼランダムに配向していることが確認できる。即ち、 $\{110\}$ 面以外の面方位の結晶が不規則に混在すると予想される。

【0088】これらの結果が示す様に、本願発明の結晶性珪素膜は殆ど全ての結晶粒が概略 $\{110\}$ 面に配向している。全体として70%以上(好ましくは90%以上)の結晶粒が $\{110\}$ 面に配向していない限り、図10(A)の様な電子線回折パターンを得ることはできない。

【0089】なお、本発明者らは特開平7-321339号公報に記載した手法に従ってX線回折を行い、本願発明の結晶性珪素膜について配向比率を算出した。同公報では下記数1に示す様な算出方法で配向比率を定義している。

【0090】

【数1】

【0091】X線回折の結果によると、 $\{220\}$ に相当するピーク(勿論、 $\{110\}$ 面と等価である)が最も強く現れ、明らかに $\{110\}$ 面が主たる配向であり、配向比率は0.7以上(典型的には0.9以上)であることが判明した。

【0092】以上に示してきた通り、本願発明の結晶性珪素膜と従来のポリシリコン膜とは全く異なる結晶構造(結晶構成)を有していることが判る。この点からも本願発明の結晶性珪素膜は全く新しい半導体膜であると言える。

【0093】本出願人は以上の様な結晶構造および特徴を有する本発明の結晶性珪素膜を連続粒界結晶シリコン(Continuous Grain Silicon: CGS)と呼んでいる。

【0094】なお、実施例1の様に本願発明の半導体薄膜を形成するにあたって結晶化温度以上の温度でのアニール工程(図1(E)に示す工程)を行うことは、結晶粒内の欠陥低減に非常に有効である。その事について説明する。

【0095】図11(A)は実施例1に従って作製された結晶性珪素膜を100万倍に拡大したTEM写真である。結晶粒内には殆ど積層欠陥や転位などに起因する欠陥が見られず、非常に結晶性が高いことが判る。この傾

向は膜面全体について言えることであり、欠陥数をゼロにすることは現状では困難であるが、実質的にゼロと見なせる程度にまで低減することは可能である。

【0096】即ち、図11(A)に示す結晶性珪素膜は結晶粒内の欠陥が殆ど無視しうる程度にまで低減され、且つ、結晶粒界が高い連続性によってキャリア移動の障壁になり得ないため、単結晶または実質的に単結晶と見なせる。

【0097】一方、図11(B)は図1(C)に示したゲッターリング工程までを終了した時点での結晶性珪素膜を100万倍に拡大したTEM写真である。結晶粒内(黒い部分と白い部分はコントラストの差に起因して現れる)には矢印で示される様な欠陥が多数確認できる。この様な欠陥は主としてシリコン結晶格子面の原子の積み重ね順序が食い違っている積層欠陥であるが、転位などの場合もある。

【0098】この様に、図11(A)と(B)の写真に示した結晶性珪素膜は結晶粒界はほぼ同等の連続性を有しているが、結晶粒内の欠陥数には大きな差がある。本発明の結晶性珪素膜が図11(B)に示した結晶性珪素膜よりも遙に高い電気特性を示す理由はこの欠陥数の差によるところが大きい。

【0099】この現象は、結晶性珪素膜が熱酸化される際に発生する余剰シリコン原子が欠陥へと移動し、Si-Si結合の生成に大きく寄与していると考えられる。この概念は高温ポリシリコン膜の結晶粒内に欠陥が少ない理由として知られている。

【0100】また、本出願人は結晶化温度を超える温度(代表的には $700\sim 1100^\circ\text{C}$)で加熱処理を行うことで結晶性珪素膜とその下地との間が固着し、密着性が高まることで欠陥が消滅するというモデルも考えている。

【0101】結晶性珪素膜と下地膜となる酸化珪素膜とでは、熱膨張係数に10倍近くの差がある。従って、非晶質珪素膜から結晶性珪素膜に変成した段階では、結晶性珪素膜が冷却される時に非常に大きな応力が結晶性珪素膜にかかる。

【0102】この事について、図12を用いて説明する。図12(A)は結晶化工程後の結晶性珪素膜にかかる熱履歴を示している。まず、温度(t_1)で結晶化された結晶性珪素膜は冷却期間(a)を経て室温まで冷やされる。

【0103】ここで図12(B)に示すのは冷却期間(a)にある時の結晶性珪素膜であり、10は基板、11は結晶性珪素膜である。この時、結晶性珪素膜11と基板10との界面12における密着性はあまり高くななく、それが原因となって多数の粒内欠陥が発生していると考えられる。

【0104】即ち、熱膨張係数の差によって引っ張られた結晶性珪素膜11は基板10上で非常に動きやすく、引っ張り応力などの力によって積層欠陥や転位などの欠

陥13を容易に生じてしまうと考えられる。

【0105】こうして得られた結晶シリコン膜が図11(B)に示した様な状態となるのである。この状態はリンによるゲッタリング工程(600~650℃)が行われた後もそのまま残ってしまう。

【0106】そしてその後、図12(A)に示す様に温度(t_2)で熱酸化工程が施され、その結果、結晶性珪素膜中の欠陥が前述の理由によって消滅する。

【0107】ここで重要なことは熱酸化工程の際に余剰シリコン原子によって欠陥が補償されると同時に結晶性珪素膜が基板に固着され、基板との密着性が高まる点である。即ち、この熱酸化工程は結晶性珪素膜と下地となる基板とを密着させる固着工程を兼ねていると考えられる。

【0108】こうして欠陥補償+固着工程を終了すると冷却期間(b)を経て室温まで冷やされる。ここで冷却期間(a)と異なる点は、基板10とアニール後の結晶性珪素膜14との界面15が非常に密着性の高い状態となっている点である。(図12(C))

【0109】この様に密着性が高いと基板10に対して結晶性珪素膜14が完全に固着されるので、結晶性珪素膜の冷却段階において結晶性珪素膜に応力が加わっても欠陥を発生するには至らない。即ち、再び欠陥が発生する様なことを防ぐことができる。

【0110】なお、図12(A)では結晶化工程後に室温まで下げるプロセスを例にとっているが、結晶化が終了したらそのまま温度を上げて欠陥補償+固着工程を行うこともできる。その様なプロセスを経ても本発明の結晶性珪素膜を得ることは可能である。

【0111】こうして得られた結晶性珪素膜(図11(A))は、結晶化工程に要した温度以上での熱処理を行う前の結晶性珪素膜(図11(B))に較べて格段に結晶粒内の欠陥数が少ないという特徴を有している。

【0112】この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance: ESR)によってスピン密度の差となって現れる。現状では実施例1の作製工程に従って作製された結晶性珪素膜のスピン密度は少なくとも 5×10^{17} spins/cm³以下(好ましくは 3×10^{17} spins/cm³以下)であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0113】[TF Tの電気特性に関する知見] 本実施例で作製したTF Tは単結晶シリコンを用いたMOS FETに匹敵する電気特性を示す。本発明者らが試作したTF Tからは次に示す様なデータが得られている。

【0114】(1) TF Tのスイッチング性能(オン/オフ動作の切り換えの俊敏性)の指標となるサブスレッショルド係数が、Nチャネル型TF TおよびPチャネル型TF Tともに60~100mV/decade(代表的には60~85mV/decade)と小さい。

(2) TF Tの動作速度の指標となる電界効果移動度(μ_{FE})が、Nチャネル型TF Tで100~250cm²/Vs(代表的には120~200cm²/Vs)、Pチャネル型TF Tで80~200cm²/Vs(代表的には100~150cm²/Vs)と大きい。

(3) TF Tの駆動電圧の指標となるしきい値電圧(V_{th})が、Nチャネル型TF Tで-0.5~1.5V、Pチャネル型TF Tで-1.5~0.5Vと小さい。

【0115】以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0116】[回路特性に関する知見] 次に、本発明の半導体薄膜を利用して作製したTF Tを用いて作製したリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数: 9段

TF Tのゲイト絶縁膜の膜厚: 30nm及び50nm

TF Tのゲイト長: 0.6 μ m

【0117】このリングオシレータによって発振周波数を調べた結果、最大値で1.04GHzの発振周波数を得ることができた。また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲイト絶縁膜の膜厚30nm、ゲイト長0.6 μ m、電源電圧5V、段数50段のシフトレジスタ回路において動作周波数100MHzの出力パルスが得られた。

【0118】以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、本発明のTF Tが単結晶シリコンを利用したIGFETに匹敵する、若しくは凌駕する性能を有していることを示している。

【0119】[TF T特性とCGSの関係に関する知見] 上述の様な優れたTF T特性及び回路特性は、TF Tの活性層として、結晶粒界において結晶格子に連続性を有する半導体薄膜を利用している点によるところが大きい。その理由について以下に考察する。

【0120】結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、

「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988」に記載された「Planar boundary」である。

【0121】上記論文によれば、平面状粒界には{111}双晶粒界、{111}積層欠陥、{221}双晶粒界、{221}twist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラッ

ブとして機能しないため、実質的に存在しないと見なすことができる。

【0122】特に{111}双晶粒界は $\Sigma 3$ の対応粒界、{221}双晶粒界は $\Sigma 9$ の対応粒界とも呼ばれる。 Σ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 Σ 値が小さいほど整合性の良い粒界であることが知られている。

【0123】本出願人が本願発明の半導体薄膜を詳細にTEMで観察した結果、結晶粒界の殆ど(90%以上、典型的には95%以上)が $\Sigma 3$ の対応粒界、即ち{111}双晶粒界であることが判明した。

【0124】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子縞がなす角を θ とすると、 $\theta=70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。

【0125】従って、図9(A)のTEM写真に示された結晶粒界では、隣接する結晶粒の各格子縞が約 70° の角度で連続しており、この結晶粒界は{111}双晶粒界であると容易に推察することができる。

【0126】なお、 $\theta=38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、この様な他の結晶粒界も存在した。

【0127】この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本願発明の半導体薄膜は面方位が概略{110}で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうるのである。この特徴は、面方位が不規則な他のポリシリコン膜ではあり得ることではない。

【0128】ここで、本願発明の半導体薄膜を1万5千倍に拡大したTEM写真(暗視野像)を図13(A)に示す。白く見える領域と黒く見える領域とが存在するが、同色に見える部分は配向性が同一であることを示している。

【0129】図13(A)で特筆すべきはこれだけ広範囲の暗視野像において、白く見える領域がかなりの割合で連続的にまとまっている点である。これは配向性の同じ結晶粒がある程度の方向性をもって存在し、隣接する結晶粒同士で殆ど同一の配向性を有していることを意味している。

【0130】他方、従来的高温ポリシリコン膜を1万5千倍に拡大したTEM写真(暗視野像)を図13(B)に示す。従来的高温ポリシリコン膜では同一面方位の部分はばらばらに点在するのみであり、図13(A)に示す様な方向性のあるまとまりは確認できない。これは隣接する結晶粒同士の配向性が全く不規則であるためと考えられる。

【0131】また、図13と同一の場所を明視野で観察した場合のTEM写真を図14に示す。また、図14中においてPoint 1を30万倍に拡大した写真を図15

(A)に、200万倍に拡大した写真を図15(B)に

示す。なお、図15(A)内において四角で囲まれた領域が図15(B)に相当する。また、Point 1における電子線回折パターン(スポット径 $1.7\mu\text{m}\phi$)を図15(C)に示す。

【0132】さらに、Point 1と全く同条件でPoint 2とPoint 3を観察した。Point 2の観察結果を図16(A)、図16(B)、図16(C)に、Point 3の観察結果を図17(A)、図17(B)、図17(C)に示す。

【0133】これらの観察結果から、任意の結晶粒界において結晶格子に連続性が保たれており、平面状粒界が形成されていることが判る。なお、本出願人はここに示した測定点以外にも多数の領域に渡って観察と測定を繰り返し、TFTを作製するのに十分な広い領域において、結晶粒界における結晶格子の連続性が確保されていることを確認している。

【0134】〔実施例2〕本実施例では実施例1とは異なる手段で非晶質珪素膜の結晶化工程を行う場合に例について図8を用いて説明する。具体的には特開平7-130652号公報の実施例1に記載の手段を用いる例を示す。

【0135】まず、石英基板801の上に200nm厚の酸化珪素膜802を形成する。そして、その上に非晶質珪素膜803を減圧熱CVD法により75nmの厚さに形成する。そして、重量換算で10ppmのニッケルを含む酢酸ニッケル水溶液をスピナーコート法により塗布してニッケル含有層804を形成する。(図8(A))

【0136】次に、500℃1時間の水素出しの後、550℃4時間の加熱処理を行い、結晶性珪素膜805を得る。この時、結晶化の後でエキシマレーザーアニールを施して残留非晶質成分の結晶化と粒内欠陥の低減とを行っても良い。(図8(B))

【0137】こうして結晶性珪素膜805が得られたら、リンによるゲッタリング工程を行うための絶縁膜806を形成する。本実施例では絶縁膜806としてプラズマCVD法により形成した150nm厚の酸化珪素膜を用いる。

【0138】この絶縁膜(酸化珪素膜)806には複数の開口部が設けられており、この状態でリンを添加してリン添加領域807を形成する。本実施例ではプラズマドーピング法によってリン添加領域807を形成するが、実施例1に示した様な他の手段によっても良い。

【0139】そして、リン添加領域807を形成したら、600℃12時間の加熱処理を行い、膜中のニッケルをリン添加領域807に移動させる(ゲッタリングさせる)。このゲッタリング工程の詳細は実施例1に従えば良い。こうしてニッケルが少なくとも $2 \times 10^{17} \text{atoms/cm}^3$ 以下にまで低減された結晶性珪素膜808を得る。

【0140】以上の様にして触媒元素のゲッタリング工程まで終了したら、ニッケルをゲッタリングされた結晶

性珪素膜のみを用いて活性層809～811を形成し、ゲイト絶縁膜812で覆った後に熱酸化工程を行う。

(図8(E))

【0141】活性層809～811をゲイト絶縁膜812で覆ってから熱酸化工程を行う理由は実施例1で説明した通りである。また、熱酸化工程の詳細な条件についても実施例1を参照すれば良い。

【0142】以上の様に、本願発明は触媒元素を非晶質半導体膜の全面に添加する様な結晶化工程を行う場合についても適用することが可能である。

【0143】〔実施例3〕本実施例では実施例1において基板として結晶化ガラスを用い、それを保護するための保護膜(下地膜を兼ねる)として減圧熱CVD法により形成した絶縁性珪素膜を用いた場合の例を図4に示す。

【0144】本実施例の構成とする場合、まず基板401として SiO_2 : 52.5、 Al_2O_3 : 26.5、 MgO : 11.9、 TiO_2 : 11.4を組成成分とする結晶化ガラスを用意する。これは核形成剤として TiO_2 を利用した無アルカリのコージュライト系結晶化ガラスである。

【0145】次に、結晶化ガラスの表面、裏面及び側面に対して保護膜として機能する絶縁性珪素膜402を形成する。本実施例では成膜ガスとしてシラン(SiH_4)と亜酸化窒素(N_2O)を用いた減圧熱CVD法により酸化窒化珪素膜を形成する。

【0146】この場合、成膜温度は800～850℃(本実施例では850℃)で行い、それぞれの成膜ガスの流量は SiH_4 : 10～30sccm、 N_2O : 300～900sccmとする。また、反応圧力は0.5～1.0torrとすれば良い。

【0147】また、成膜ガスとしてシランと二酸化窒素(N_2O)又は一酸化窒素(NO)を用いれば600～650℃の温度で酸化窒化珪素膜を形成することもできる。その場合、反応圧力は0.1～1.0torrとし、それぞれのガス流量は SiH_4 : 10～30sccm、 NO_2 又は NO : 300～900sccmとすれば良い。

【0148】本実施例の場合、減圧熱CVD法により酸化窒化珪素膜を形成するため、結晶化ガラスの全面が絶縁膜で包まれる形となる。

【0149】また、成膜ガスを異なるものとする事で結晶化ガラスの保護膜として窒化珪素膜を形成することもできる。その場合、成膜ガスとして40～50sccmのジクロールシラン(SiH_2Cl_2)と200～250sccmのアンモニア(NH_3)とを用い、成膜温度を750～800℃、反応圧力を0.1～0.5torrとすれば良い。

【0150】窒化珪素膜はガラス成分の流出を阻止するには最適な絶縁膜であるが応力が強いのでTFTの下地膜としては不向きであった。しかしながら、本願発明では結晶化ガラスの少なくとも表面及び裏面に窒化珪素膜が形成されるので窒化珪素膜の応力が基板の裏表で相殺され、基板の反り等は発生しない。

【0151】本実施例の構成では実施例1に示したアクティブマトリクス基板を作製するにあたって安価なガラス基板を用いるため、電気光学装置の単価を大幅に低減することができる。また、ガラス基板の特徴として大版化が可能であるため、対角数十インチといった大画面に対応するアクティブマトリクス基板を作製することが可能となる。

【0152】〔実施例4〕実施例1ではゲイト電極としてN型導電性を呈する結晶性珪素膜を利用しているが、導電性を有する材料であればあらゆる材料を用いることができる。特に、直視用の液晶表示装置を作製する場合には、画素マトリクス回路の面積が大きくなるため配線抵抗の小さい材料を用いることが好ましい。

【0153】その様な場合には、ゲイト電極としてアルミニウムまたはアルミニウムを主成分とする材料を用いることが望ましい。本実施例ではゲイト電極として2wt%のスカンジウムを含有したアルミニウム膜を用いる。

【0154】アルミニウムを主成分とする材料をゲイト電極として利用する場合には、本発明者らによる特開平7-135318号公報に記載された技術を利用すると良い。同公報では実施例1で用いたサイドウォールの代わりにゲイト電極を陽極酸化して得られる陽極酸化膜を利用している。

【0155】本実施例の様にゲイト電極としてアルミニウムまたはアルミニウムを主成分とする材料を用いることで配線抵抗の小さいゲイト配線を形成することが可能となり、応答速度の速いアクティブマトリクス基板を作製することができる。

【0156】なお、本実施例は実施例2、3の構成と組み合わせることも可能である。

【0157】〔実施例5〕実施例1において、活性層中にTFTのしきい値電圧(V_{th})を制御するための不純物元素を添加することは有効である。非晶質珪素膜の成膜時に添加することもできるが、少なくともチャネル形成領域にさえ添加されていれば良いので、ゲイト電極の形成前であれば何時添加しても良い。

【0158】成膜時以外に添加する場合には、イオンインプランテーション法またはプラズマドーピング法による添加、気相中からの拡散による添加、固相中からの拡散による添加などの手段を用いることができる。これらの手段は、例えばNTFTとPTFTとで添加する不純物を異ならせるといった具合に選択的な添加が可能であるため有効である。

【0159】また、添加する不純物元素としては、 V_{th} をプラス側に移動させるのであれば13族元素(ボロン、ガリウム又はインジウム)を用い、マイナス側に移動させるのであれば15元素(リン、砒素又はアンチモン)を用いる。

【0160】なお、本実施例は実施例1～3の構成と組み合わせることが可能である。

【0161】〔実施例6〕実施例1または実施例2に示した作製工程では、活性層の表面をゲート絶縁膜で覆ってから熱酸化工程を行っているが、活性層の表面を覆う絶縁膜は必ずしもゲート絶縁膜として機能するものでもなくとも良い。

【0162】その場合、活性層の表面を絶縁膜（酸化珪素膜、窒化珪素膜または酸化窒化珪素膜等）で覆い、その上で熱酸化工程を行って活性層の薄膜化及び粒内欠陥の低減を図る。

【0163】そして、一旦、上記絶縁膜を除去した後に改めてゲート絶縁膜を形成する様な構成とすることも可能である。なお、改めてゲート絶縁膜を形成した後に、再び熱酸化工程を行っても良い。

【0164】〔実施例7〕本実施例では、図3（C）に示したアクティブマトリクス基板の画素構造についてより具体的に説明する。画素TFTの断面構造を図18に示す。図18は画素TFTを切断して1万倍に拡大したTEM写真である。

【0165】図18に示したTEM写真は、図19

（A）に示す画素TFTの上面図をA-A'で示される破線で切断した時の断面図である。図19（A）において、21は活性層、22はソース線、23はゲート線、24はドレイン電極、25はブラックマスク、26はドレイン電極24と画素電極27とを接続するためのコンタクトホールである。

【0166】本実施例の特徴は、画素TFTの上方においてドレイン電極24とブラックマスク25との間で補助容量を形成する点にある。

【0167】さらに、図18のTEM写真を模式的に表したものを図19（B）に示す。なお、図19（A）と図19（B）には共通の符号を用いている。

【0168】この様に、ゲート線23と重なる様な配置でドレイン電極25が形成され、誘電体28を挟んで対向するブラックマスク25との間に補助容量が形成されている。なお、本実施例ではドレイン電極25としてチタン膜をアルミニウム膜で挟んだ三層構造を採用している。

【0169】本実施例の場合、ドレイン電極25を形成した後で窒化珪素膜／酸化珪素膜／アクリル膜の三層構造でなる層間絶縁膜を形成し、その上にブラックマスク25を形成する。

【0170】この時、ブラックマスク25の形成前に、後に補助容量となる領域のアクリル膜のみを除去して開口部を形成しておく。すると、開口部の底には酸化珪素膜と窒化珪素膜しか残らず、この二層構造でなる絶縁膜が補助容量の誘電体28として機能するのである。

【0171】〔実施例8〕実施例1～7に示した構成を有するアクティブマトリクス基板を用い、液晶表示装置を構成した例を図5に示す。図5は液晶表示装置の本体に相当する部位であり、液晶モジュールとも呼ばれる。

【0172】図5において、501は基板（石英、シリコンウェハ、結晶化ガラスのいずれでも良い）、502は下地となる絶縁性珪素膜であり、その上に本願発明の作製工程に従って作製された半導体膜をもって複数のTFTが形成されている。

【0173】これらのTFTは基板上に画素マトリクス回路503、ゲート側駆動回路504、ソース側駆動回路505、ロジック回路506を構成する。その様なアクティブマトリクス基板に対して対向基板507が貼り合わされる。アクティブマトリクス基板と対向基板507との間には液晶層（図示せず）が挟持される。

【0174】また、図5に示す構成では、アクティブマトリクス基板の側面と対向基板の側面とをある一辺を除いて全て揃えることが望ましい。こうすることで大版基板からの多面取り数を効率良く増やすことができる。

【0175】また、その一辺では、対向基板の一部を除去してアクティブマトリクス基板の一部を露出させ、そこにFPC（フレキシブル・プリント・サーキット）508を取り付ける。ここには必要に応じてICチップ（単結晶シリコン上に形成されたMOSFETで構成される半導体回路）を搭載しても構わない。一般的に液晶モジュールと呼ばれるのはFPCを取り付けた状態の液晶パネルである。

【0176】ここで本出願人が試作した液晶モジュールの一例を図20に示す。仕様は対角2.6インチ、1280×1024画素で、画素サイズは45μm×32μmである。また、開口率は63%、コントラスト比は300:1を実現している。

【0177】図20に示した液晶モジュールは実施例1で述べた様な数百MHz～数GHzの高周波数で駆動する信号処理回路を画素マトリクス回路と同一の基板上に一体形成している。即ち、図19に示す液晶モジュールはシステム・オン・パネルを具現化したものと言える。

【0178】なお、本実施例では本願発明を液晶表示装置に適用した場合について記載しているが、アクティブマトリクス型EL（エレクトロルミネッセンス）表示装置などを構成することも可能である。また、光電変換層を具備したイメージセンサ等を同一基板上に形成することも可能である。

【0179】なお、上述の液晶表示装置、EL表示装置及びイメージセンサの様に光学信号を電気信号に変換する、又は電気信号を光学信号に変換する機能を有する装置を電気光学装置と定義する。本願発明は絶縁表面を有する基板上に半導体薄膜を利用して形成しうる電気光学装置ならば全てに適用することができる。

【0180】〔実施例9〕本願発明は実施例8に示した様な電気光学装置だけでなく、機能回路を集積化した薄膜集積回路（または半導体回路）を構成することもできる。例えば、マイクロプロセッサ等の演算回路や携帯機器用の高周波回路（MMIC：マイクロウェーブ・モジ

ジュール・IC)などを構成することもできる。

【0181】さらには、薄膜を用いるTFTの利点を生かして三次元構造の半導体回路を構成し、超高密度に集積化されたVLSI回路を構成することも可能である。この様に、本願発明のTFTを用いて非常に機能性に富んだ半導体回路を構成することが可能である。なお、本明細書中において、半導体回路とは半導体特性を利用して電気信号の制御、変換を行う電気回路と定義する。

【0182】〔実施例10〕本実施例では、実施例8や実施例9に示された電気光学装置や半導体回路を搭載した電子機器（応用製品）の一例を図9に示す。なお、電子機器とは半導体回路および／または電気光学装置を搭載した製品と定義する。

【0183】本願発明を適用しうる電子機器としてはビデオカメラ、電子スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、PHS等）などが挙げられる。

【0184】図6（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は音声出力部2002、音声入力部2003、表示装置2004等に適用することができる。

【0185】図6（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102、音声入力部2103、受像部2106等に適用することができる。

【0186】図6（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明はカメラ部2202、受像部2203、表示装置2205等に適用できる。

【0187】図6（D）はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0188】図6（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0189】図6（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置250

3、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0190】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、電気光学装置や半導体回路を必要とする製品であれば全てに適用できる。

【0191】

【発明の効果】本願発明を実施することで、非晶質半導体膜の結晶化に利用した触媒元素を結晶化後に効果的に除去することが可能となる。また、活性層を絶縁膜で保護した状態（酸化性雰囲気に触れさせない状態）で熱酸化工程を行うことで、活性層内で起こる金属酸化物の異常成長を防ぐことが可能である。

【0192】そして、この様にして結晶性珪素膜中に残存する触媒元素を除去し、優れた電気特性を有するTFTを実現させ、そのTFTでもって高性能な半導体装置を実現することが可能となる。

【図面の簡単な説明】

【図1】 薄膜トランジスタの作製工程を示す図。

【図2】 薄膜トランジスタの作製工程を示す図。

【図3】 薄膜トランジスタの作製工程を示す図。

【図4】 薄膜トランジスタの構成を示す図。

【図5】 液晶モジュールの構成を示す図。

【図6】 電子機器の構成を示す図。

【図7】 SiO_xの異常成長の様子を示すSEM写真。

【図8】 薄膜トランジスタの作製工程を示す図。

【図9】 半導体薄膜の結晶粒界の構造を示すTEM写真。

【図10】 半導体薄膜の電子線回折パターンを示す写真。

【図11】 半導体薄膜の結晶粒を示すTEM写真。

【図12】 欠陥の生成および消滅に関するモデルを説明するための図。

【図13】 半導体薄膜の暗視野像を示すTEM写真。

【図14】 半導体薄膜の明視野像を示すTEM写真。

【図15】 半導体薄膜の結晶粒界の様子を示すTEM写真。

【図16】 半導体薄膜の結晶粒界の様子を示すTEM写真。

【図17】 半導体薄膜の結晶粒界の様子を示すTEM写真。

【図18】 画素TFTの断面構造を示すTEM写真。

【図19】 画素TFTの上面及び断面構造を示す図。

【図20】 液晶モジュールの外観を示す写真。

【表1】

{220} 配向存在比=1 (一定)

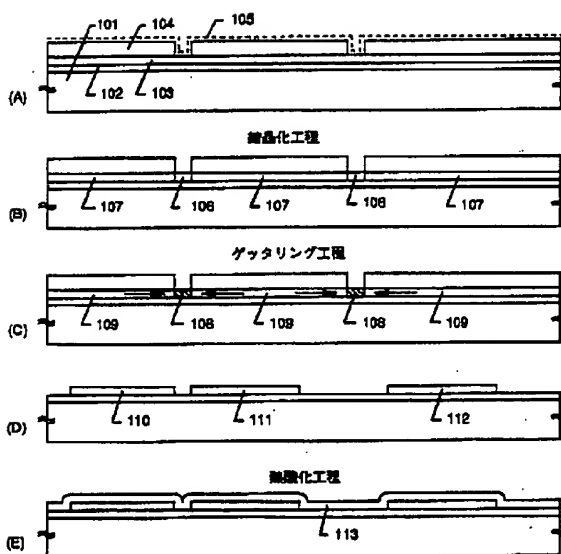
$$\{111\} \text{ 配向存在比} = \frac{\text{試料の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}$$

$$\{311\} \text{ 配向存在比} = \frac{\text{試料の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}$$

{220} 配向比率=

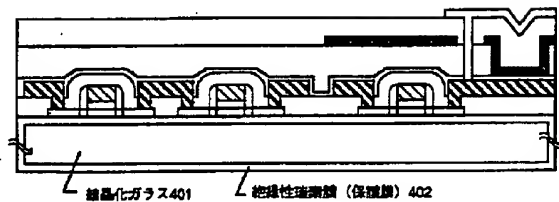
$$\frac{\{220\} \text{ 配向存在比}}{\{220\} \text{ 配向存在比} + \{111\} \text{ 配向存在比} + \{311\} \text{ 配向存在比}}$$

【図 1】

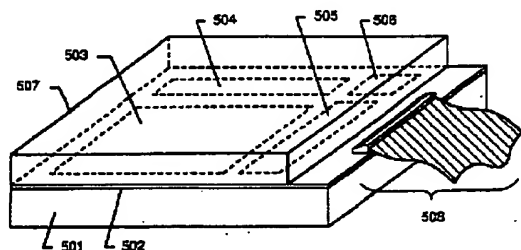


- | | |
|-------------|--------------|
| 101 基板 | 106 ニッケル添加領域 |
| 102 絶縁性遮膜 | 107 積成長領域 |
| 103 非晶質遮膜 | 108 リン添加領域 |
| 104 マスク絶縁膜 | 109 積成長領域 |
| 105 ニッケル含有層 | 110~112 活性層 |
| | 113 ゲイト絶縁膜 |

【図 4】

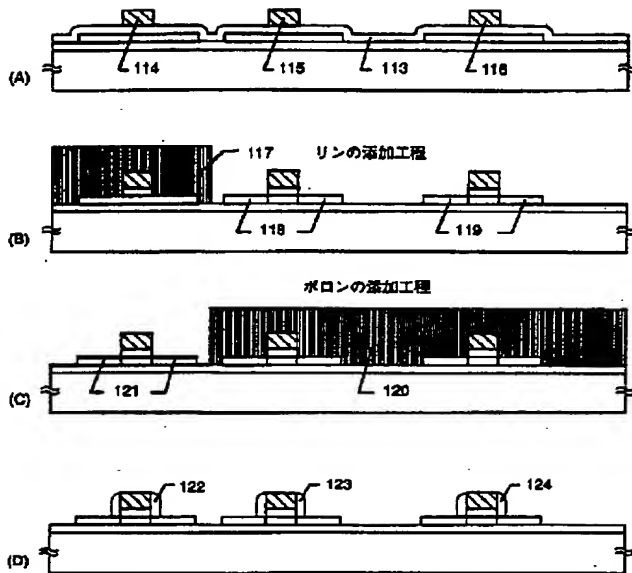


【図 5】



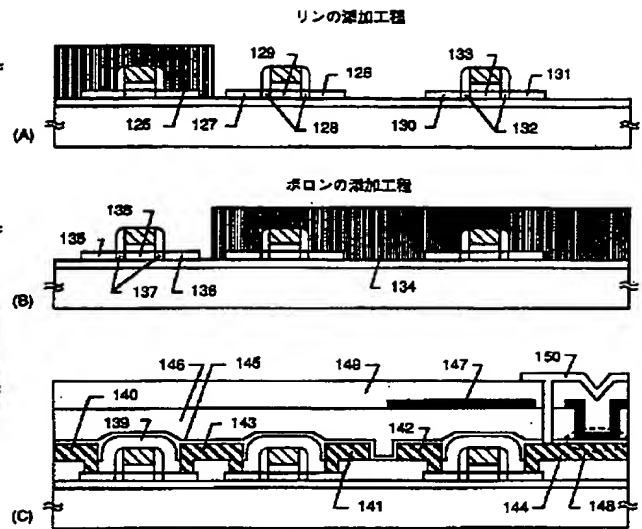
- | | |
|---------------|--------------|
| 501 基板 | 505 ソース側駆動回路 |
| 502 絶縁性遮膜 | 506 ロジック回路 |
| 503 両面マトリクス回路 | 507 対向基板 |
| 504 ゲイト側駆動回路 | 508 F P C |

【図2】



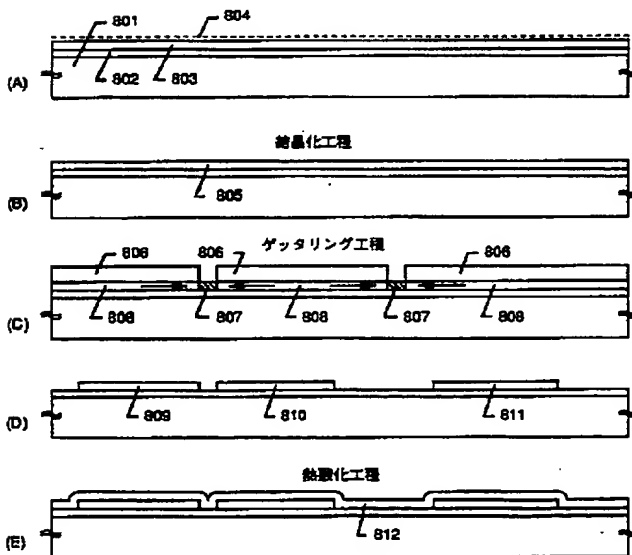
- 113 ゲイト絶縁膜 118, 119 低温度不純物領域 (リン)
 114~116 ゲイト電極 121 低温度不純物領域 (ボロン)
 117, 120 レジストマスク 122~124 サイドウォール

【図3】



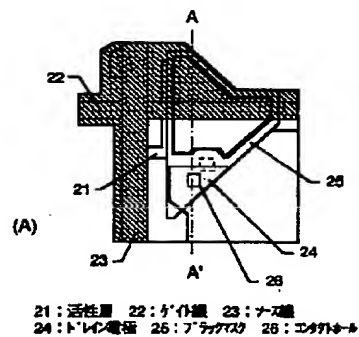
- 125, 134 レジストマスク 143, 144 ドレイン電極
 126, 130, 135 ソース領域 145 窒化珪素膜
 127, 131, 136 ドレイン領域 146 ポリイミド膜
 128, 132, 137 低温度不純物領域 147 ブラックマスク
 129, 133, 138 チャネル形成領域 148 補助容量
 139 第1の層間絶縁膜 149 第3の層間絶縁膜
 140, 141, 142 ソース電極 150 面素電極

【図8】

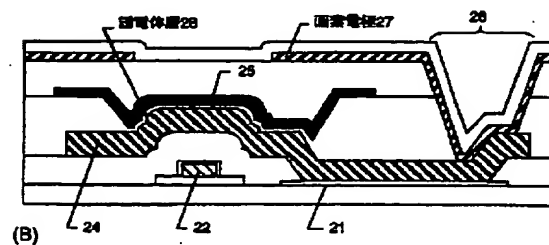


- 801 基板 806 酸化珪素膜
 802 絶縁性珪素膜 807 リン添加領域
 803 多晶質珪素膜 808 結晶性珪素膜
 804 ニッケル含有層 809~811 活性層
 805 結晶性珪素膜 812 ゲイト絶縁膜

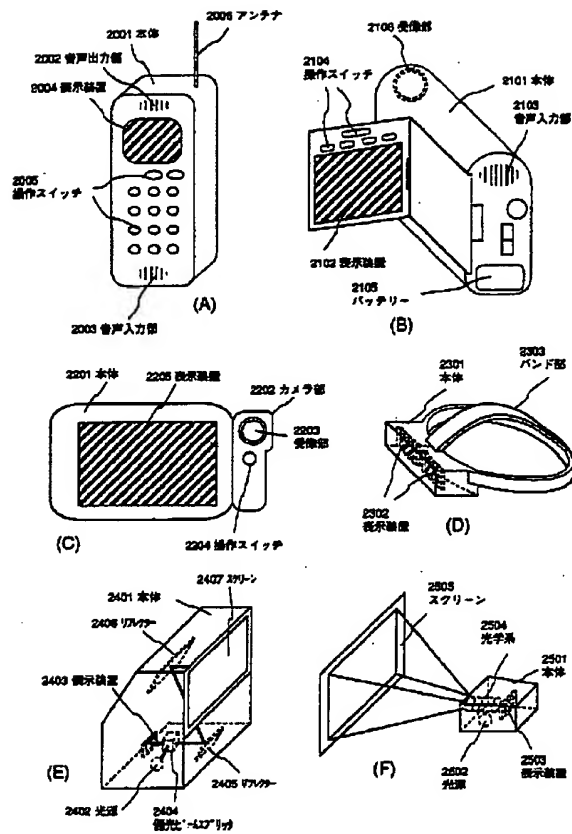
【図19】



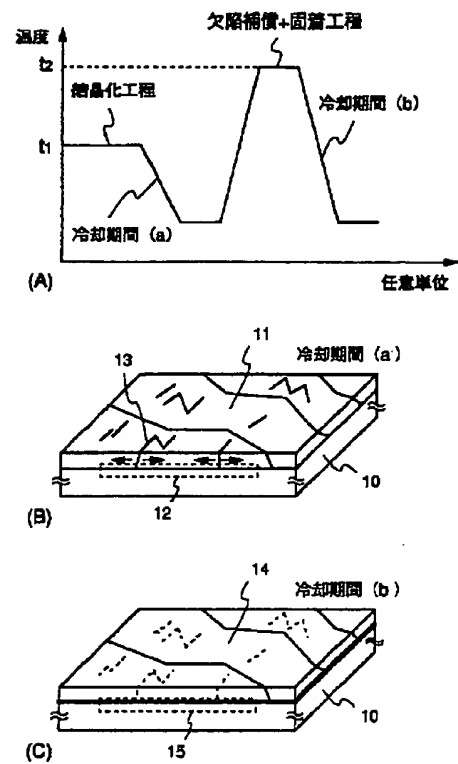
- 21: 活性層 22: ゲイト絶縁 23: ゲート
 24: ドレイン電極 25: プラグ 26: エタリオート



【図 6】

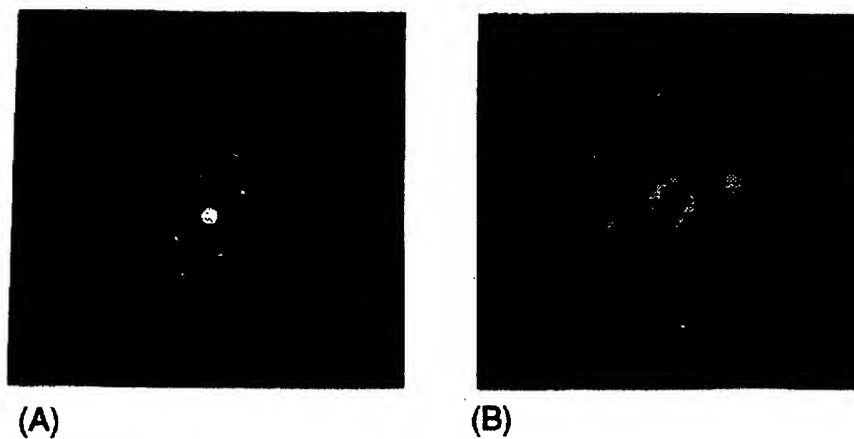


【图 1 2】



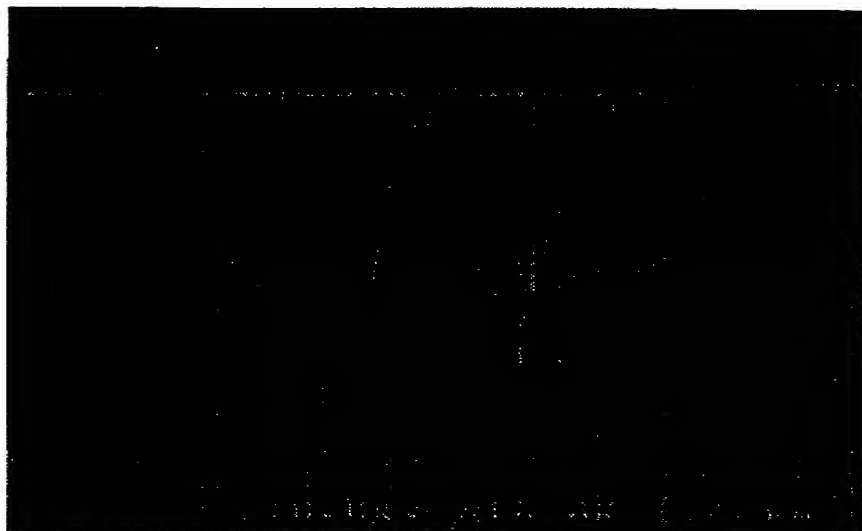
【図 10】

図面代用写真

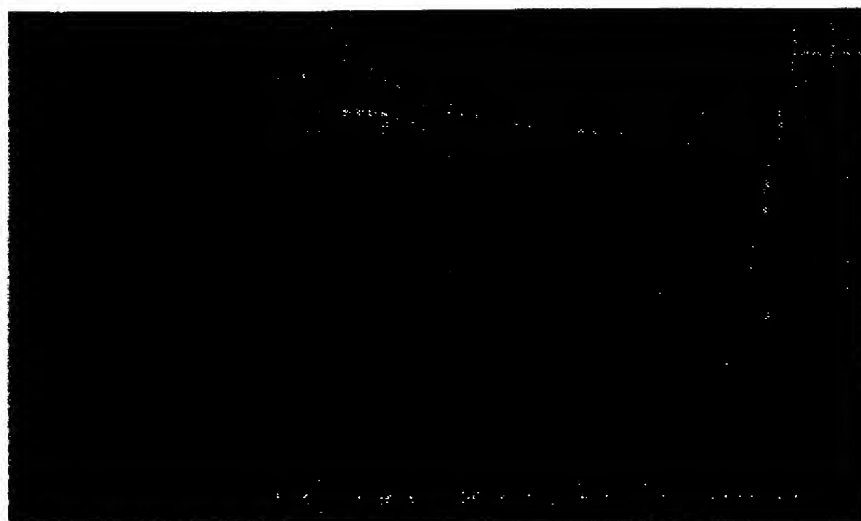


【図7】

図面代用写真



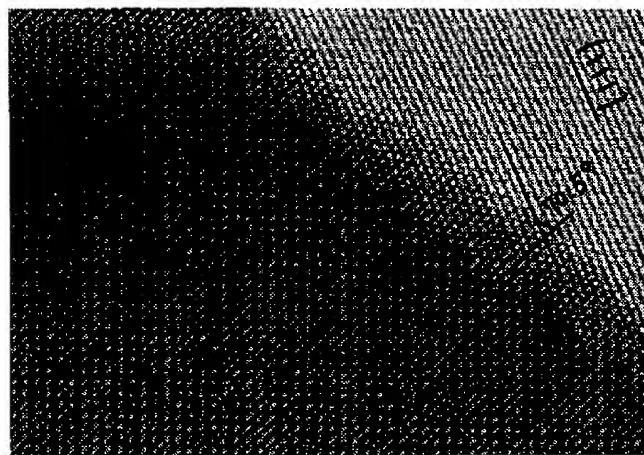
(A)



(B)

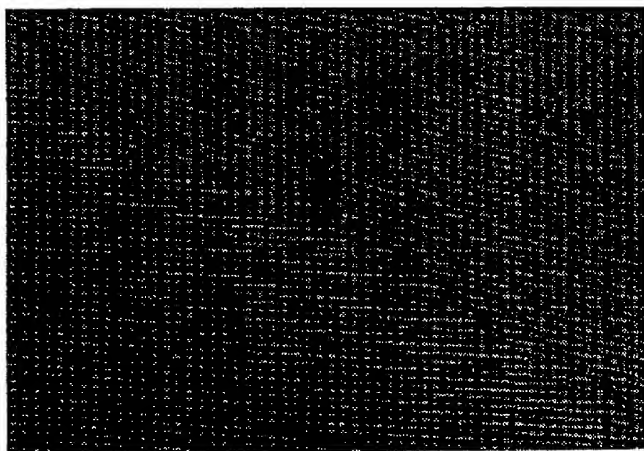
【図9】

図面代用写真



(A)

5 nm

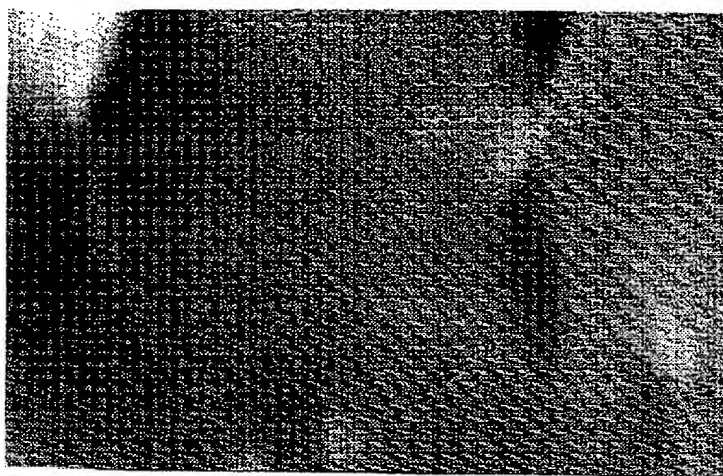


(B)

5 nm

【図 1 1】

図面代用写真



(A)

20 nm

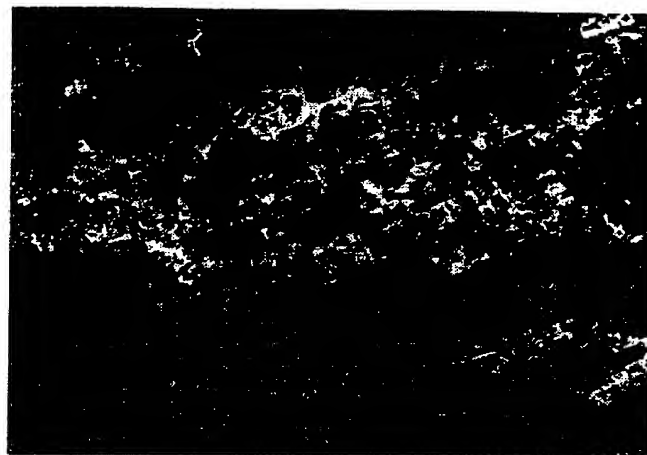


(B)

20 nm

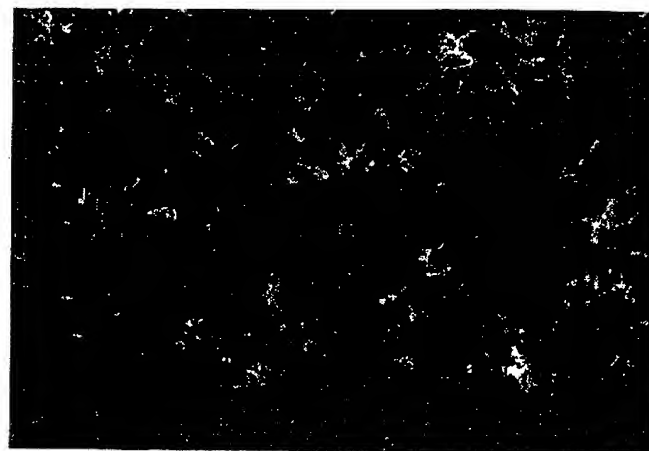
【図13】

図面代用写真



(A)

2 μm

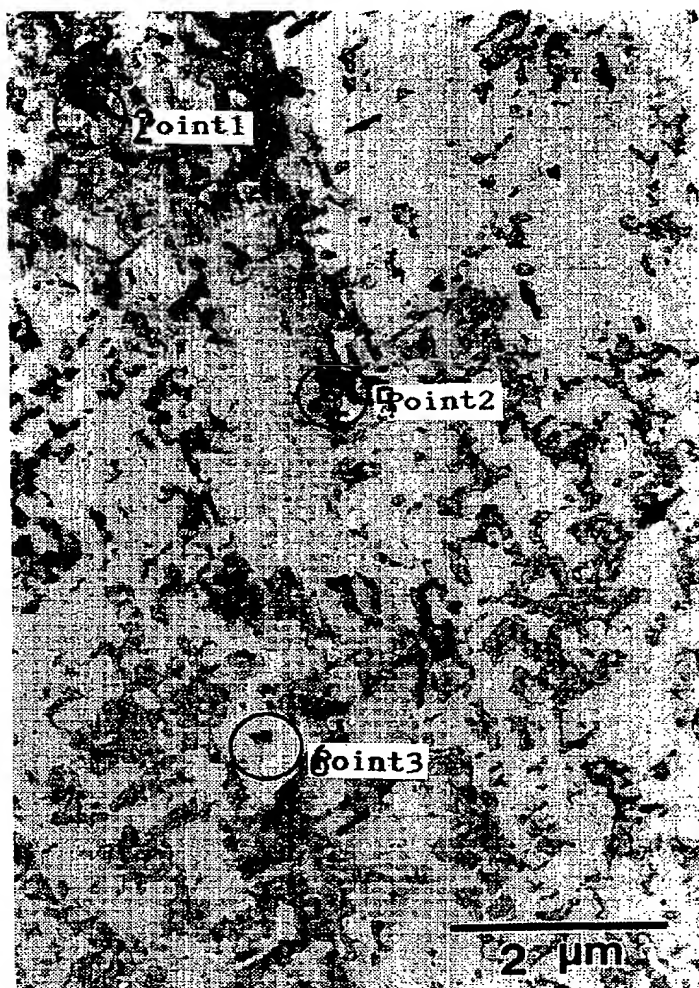


(B)

2 μm

【図14】

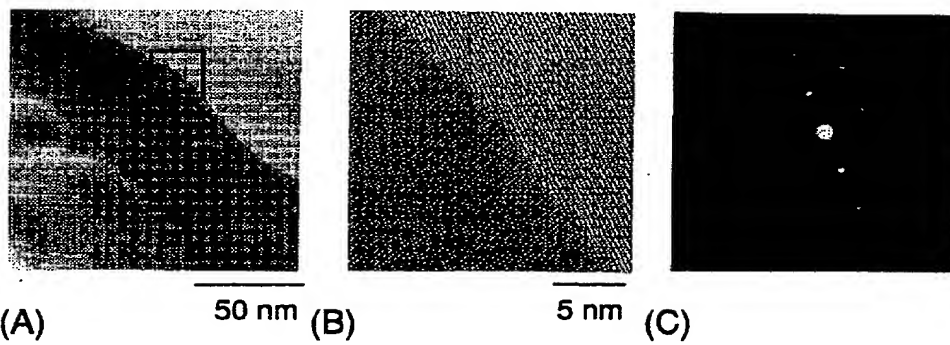
図面代用写真



【図17】

〈Point 3〉

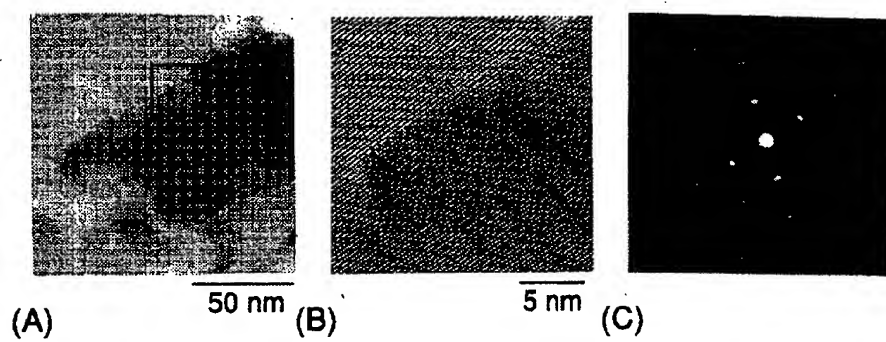
図面代用写真



【図15】

〈Point 1〉

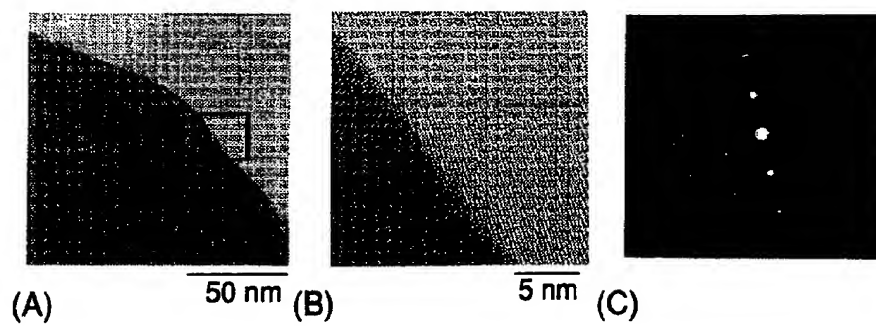
図面代用写真



【図16】

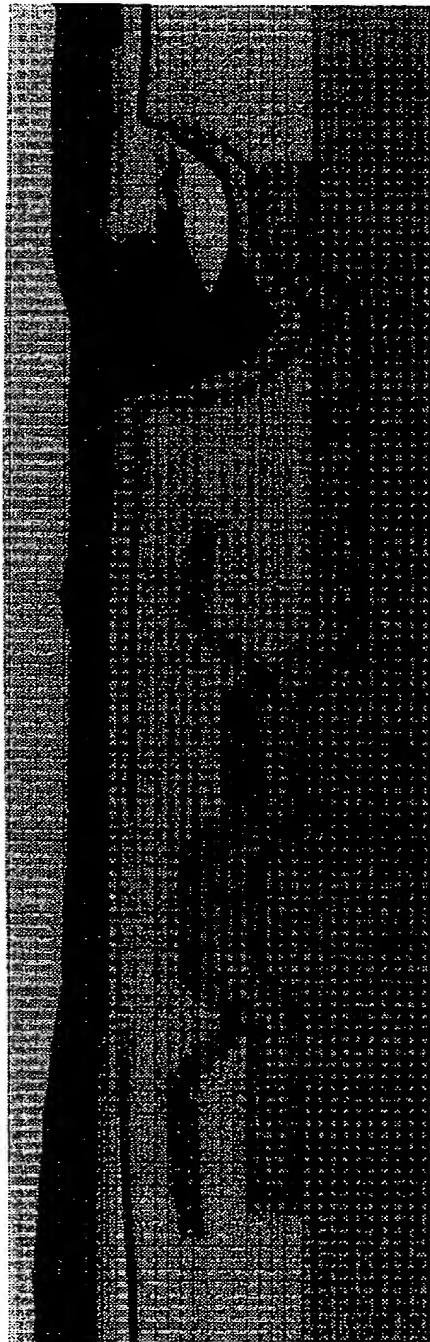
〈Point 2〉

図面代用写真



【図18】

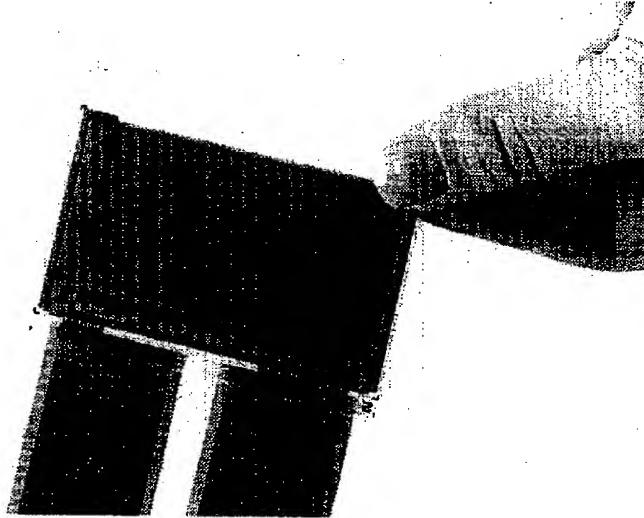
図面代用写真



2 μm

【図20】

図面代用写真



THIS PAGE BLANK (USPTO)